

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

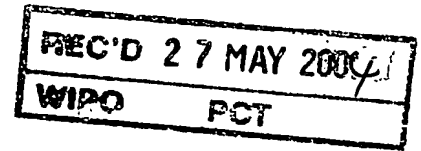
26. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2003年 7月 4日

出 願 番 号  
Application Number: 特願2003-191571  
[ST. 10/C]: [JP 2003-191571]



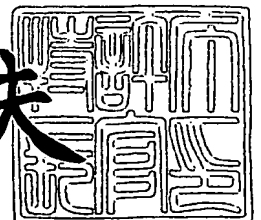
出 願 人  
Applicant(s): 株式会社村田製作所

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 4月30日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 10652

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H05K 3/46

【発明者】

【住所又は居所】 京都府長岡京市天神二丁目 2 6 番 1 0 号 株式会社村田  
製作所内

【氏名】 池田 治彦

【特許出願人】

【識別番号】 000006231

【氏名又は名称】 株式会社村田製作所

【代表者】 村田 泰隆

【代理人】

【識別番号】 100085497

【弁理士】

【氏名又は名称】 筒井 秀隆

【手数料の表示】

【予納台帳番号】 036618

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004890

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 部品内蔵基板の製造方法

【特許請求の範囲】

【請求項 1】 第 1 支持層上に形成された第 1 電極パターンに、第 1 電子部品を導電性接合材により接続固定する工程と、

上記第 1 支持層の電子部品固定面側に第 1 プリプレグを間にして第 2 電極パターンを有する第 2 支持層を圧着・転写する工程と、

上記第 1 プリプレグから第 1 支持層と第 2 支持層とを剥離する工程と、

上記剥離工程の前または後に第 1 プリプレグを硬化させる工程と、

上記第 2 電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定する工程と、

上記第 2 電子部品固定面側に第 2 プリプレグを間にして第 3 電極パターンを有する第 3 支持層を圧着・転写する工程と、

上記第 2 プリプレグから第 3 支持層を剥離する工程と、

上記剥離工程の前または後に第 2 プリプレグを硬化させる工程とを有し、

上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法。

【請求項 2】 支持層上に形成された電極パターンの表面に、第 1 電子部品を導電性接合材により接続固定する工程と、

上記支持層の第 1 電子部品固定面側に第 1 プリプレグを圧着する工程と、

上記第 1 プリプレグから上記支持層を剥離する工程と、

上記剥離工程の前または後に第 1 プリプレグを硬化させる工程と、

上記電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定する工程と、

上記第 2 電子部品固定面側に第 2 プリプレグを圧着する工程と、

上記第 2 プリプレグを硬化させる工程とを有する部品内蔵基板の製造方法。

【請求項 3】 第 1 支持層上に形成された第 1 電極パターンの表面に、第 1 電子部品を導電性接合材により接続固定する工程と、

上記第 1 支持層の電子部品固定面側に第 1 プリプレグを間にして第 2 電極パター

ンを有する第2支持層を圧着・転写する工程と、  
上記第1プリプレグから第1支持層と第2支持層とを剥離する工程と、  
上記剥離工程の前または後に第1プリプレグを硬化させる工程と、  
上記第1電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、  
上記第2電子部品固定面側に第2プリプレグを間にして第3電極パターンを有する第3支持層を圧着・転写する工程と、  
上記第2プリプレグから第3支持層を剥離する工程と、  
上記剥離工程の前または後に第2プリプレグを硬化させる工程とを有し、  
上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法。

【請求項4】上記プリプレグの硬化後に、この樹脂層の表裏方向に貫通する孔を設ける工程と、

上記孔の内部に、樹脂層の表裏面に存在する電極パターンを電氣的に接続する導電路を形成する工程と、をさらに有することを特徴とする請求項1ないし3のいずれかに記載の部品内蔵基板の製造方法。

【請求項5】上記プリプレグの硬化後に、この樹脂層の表裏いずれかの面に存在する電極パターンと、電子部品の外部電極とを繋ぐ孔を形成する工程と、  
上記孔の内部に、上記電極パターンと電子部品の外部電極とを電氣的に接続する導電路を形成する工程と、をさらに有することを特徴とする請求項1ないし3のいずれかに記載の部品内蔵基板の製造方法。

【請求項6】上記プリプレグを硬化させる工程は、  
上記支持層を上記プリプレグから剥離する前に仮硬化させる工程と、  
上記支持層を上記プリプレグから剥離した後に本硬化させる工程と、を含むことを特徴とする請求項1～5に記載の部品内蔵基板の製造方法。

【請求項7】上記第2プリプレグの硬化後に、  
上記第1プリプレグの第2プリプレグとの接着面とは反対側の面に第3プリプレグを間にして第4電極パターンを有する第4支持層を圧着・転写する工程と、  
上記第3プリプレグから第4支持層を剥離する工程と、

上記剥離工程の前または後に第3プリプレグを硬化させる工程とを有することを特徴とする請求項1～6のいずれかに記載の部品内蔵基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、内部に半導体素子やチップ部品などの電子部品を内蔵した基板の製造方法に関する

【0002】

【従来の技術】

【特許文献1】特開2002-76637号公報

従来、電子機器の小型化、高性能化の要求に伴い、さらなる実装面積の小型化、部品の低背化が要望されている。このような要望に応えるため、内部に半導体素子やチップ部品を内蔵した樹脂層を多層に積層した部品内蔵基板が知られている。

【0003】

特許文献1には、プリプレグの片面に部品を接続した電極パターンを有する支持層を圧着・転写し、この未硬化状態のプリプレグに対して、別の部品を内蔵したプリプレグを一括して圧着積層することにより、部品内蔵基板を製造する方法が提案されている。

図8は特許文献1の図15に示された例であり、(a)の工程ではビアホール1502を持つプリプレグ1501と、上面に電子部品1510、1511を接続した電極パターン1503を形成した支持層1504とを準備し、(b)の工程でこれらを圧着する。(c)の工程では、支持層1504を剥離して配線層1515を形成する。

(d)の工程で上記配線層1515に対し、電子部品1505が内蔵された別の配線層1514と、電極パターンおよび層間ビア1506、1507が形成された配線層1512、1513とを一括して圧着・積層することにより、(e)のような多層構造の部品内蔵基板1516が形成される。

【0004】

**【発明が解決しようとする課題】**

しかしながら、このような一括積層方法では、積層されたプリプレグの層間において、プリプレグの表面に転写されている電極パターン同士、あるいは電極パターンと電子部品の電極とが接触することで電氣的に接続されるに過ぎないので、接続抵抗が大きくなったり、十分な接続信頼性が得られないという問題があった。

しかも、積層されたプリプレグが2層の電極を間にしているため、プリプレグ同士の接合力が低く、剥離する可能性があった。

このような問題を解消するため、特許文献1の図16には、硬化後の樹脂層の間に接着層となるスルーホール付きのプリプレグを設け、電極パターン同士あるいは電極パターンと電子部品との接続信頼性を得る方法も提案されているが、これでは部品を内蔵しない中間のプリプレグが必要になり、部品内蔵基板が厚くなるという問題がある。

**【0005】**

そこで、本発明の目的は、積層される電極パターン間あるいは電極パターンと電子部品との接続抵抗を低くし、接続信頼性を高めることができる部品内蔵基板の製造方法を提供することにある。

他の目的は、内層電極の表裏面に電子部品を接続する場合に、内層電極と電子部品との接合信頼性を高めることができる部品内蔵基板の製造方法を提供することにある。

**【0006】****【課題を解決するための手段】**

上記目的を達成するため、請求項1に係る発明は、第1支持層上に形成された第1電極パターンに、第1電子部品を導電性接合材により接続固定する工程と、上記第1支持層の電子部品固定面側に第1プリプレグを間にして第2電極パターンを有する第2支持層を圧着・転写する工程と、上記第1プリプレグから第1支持層と第2支持層とを剥離する工程と、上記剥離工程の前または後に第1プリプレグを硬化させる工程と、上記第2電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、上記第2電子部品固定面側に第2プリプレグを

間にして第3電極パターンを有する第3支持層を圧着・転写する工程と、上記第2プリプレグから第3支持層を剥離する工程と、上記剥離工程の前または後に第2プリプレグを硬化させる工程とを有し、上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法を提供する。

#### 【0007】

請求項2に係る発明は、支持層上に形成された電極パターンの表面に、第1電子部品を導電性接合材により接続固定する工程と、上記支持層の第1電子部品固定面側に第1プリプレグを圧着する工程と、上記第1プリプレグから上記支持層を剥離する工程と、上記剥離工程の前または後に第1プリプレグを硬化させる工程と、上記電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、上記第2電子部品固定面側に第2プリプレグを圧着する工程と、上記第2プリプレグを硬化させる工程とを有する部品内蔵基板の製造方法である。

#### 【0008】

請求項3に係る発明は、第1支持層上に形成された第1電極パターンの表面に、第1電子部品を導電性接合材により接続固定する工程と、上記第1支持層の電子部品固定面側に第1プリプレグを間にして第2電極パターンを有する第2支持層を圧着・転写する工程と、上記第1プリプレグから第1支持層と第2支持層とを剥離する工程と、上記剥離工程の前または後に第1プリプレグを硬化させる工程と、上記第1電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、上記第2電子部品固定面側に第2プリプレグを間にして第3電極パターンを有する第3支持層を圧着・転写する工程と、上記第2プリプレグから第3支持層を剥離する工程と、上記剥離工程の前または後に第2プリプレグを硬化させる工程とを有し、上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法である。

#### 【0009】

請求項1に係る発明は、複数の層を一括積層せずに、順次積層している。まず、第1電極パターンに第1電子部品を導電性接合材により接続固定し、第1プリプレグを間にして第1電極パターンと第2電極パターンとを一体に圧着する。この

際、電極パターンを支持層上に形成しておき、プリプレグとの圧着後、剥離することにより、電極パターンを転写する方法を用いる。次に、第2電極パターンの裏面に第2電子部品を導電性接合材により接続固定し、その上に第2プリプレグを間にして第3電極パターンを圧着・転写する。

このように順次プリプレグと電極パターンとを積層することにより、多層構造の部品内蔵基板を得ることができる。

電極パターンと電子部品との接続は、導電性接合材（はんだ、導電性接着剤、バンプなど）を用いて接合するので、電極パターンと電子部品との接続抵抗を低くでき、接続信頼性を高くすることができる。

請求項1では、プリプレグに電極パターンを転写し、このプリプレグを硬化させた後、次のプリプレグを圧着すると同時に、その表面に電極パターンを転写してゆく。そのため、プリプレグ（樹脂層）の間の内層電極は1層のみであり、従来の内層電極が2層で構成される場合のように、内層電極同士を接触導通させる必要がなく、かつ内層電極間で剥離現象が発生するのを防止できる。

プリプレグに電極パターンを転写し、このプリプレグを硬化させた後で次のプリプレグを積層してゆくの、最初のプリプレグが積層の度に圧縮されることがなく、最初のプリプレグに内蔵された電子部品の電氣的接続が不良になったり、電極パターンが崩れるといった不具合がない。

なお、プリプレグの硬化は、支持層の剥離前でも剥離後でもよい。

#### 【0010】

請求項2に係る発明は、内層電極の表裏面に電子部品を接続する場合に、電極パターンの表面に電子部品を導電性接合材により接続固定した後、これを第1プリプレグに転写し、第1プリプレグを硬化させた後、電極パターンの裏面に第2電子部品を導電性接合材により接続固定し、その上に第2プリプレグを圧着する方式である。

従来の場合、内層電極の表裏面に電子部品を接続しようとする、一括積層方式のため電子部品の電極を内層電極に対して接触導通させなければならず、部品電極と内層電極との導通信頼性が低く、かつ接続抵抗も高いという問題があった。これに対し、請求項2では一層ずつ順次積層する方式を用いるとともに、表面に



第1電子部品が導電性接合材によって接続固定された第1電極パターンの裏面に第2電子部品を導電性接合材によって接続固定するので、内層電極と電子部品との導通信頼性が高く、その接続抵抗も低い。

この場合も、請求項1と同様に第1プリプレグの硬化後に第2プリプレグを圧着するので、第1プリプレグに転写された電極パターンのずれや断線、電子部品の接続不良などを防止でき、かつプリプレグ同士の接合剥離が発生しない。

#### 【0011】

請求項3では、請求項2における第1プリプレグを圧着する工程、及び第2プリプレグを圧着する工程において、上記プリプレグの圧着面と反対側の面に電極パターンを有する支持層を配置し、上記圧着と同時にこの支持層をプリプレグに圧着する工程を含み、上記圧着工程の後、上記第2支持層をプリプレグから剥離して電極パターンをプリプレグに転写するものである。

請求項2において、プリプレグの圧着面と対向する面に電極パターンを形成する場合に、プリプレグの硬化後に厚膜または薄膜の電極パターンを別途形成する方法もあるが、これでは工程数が増加してしまう。

そこで、請求項3では、プリプレグの表裏両面に電極パターンを同時に転写することにより、プリプレグの圧着積層後に新たに電極パターンを形成する必要がなく、工程数を削減できる。

#### 【0012】

請求項4のように、プリプレグの硬化後に、この樹脂層の表裏方向に貫通する孔を設ける工程と、上記孔の内部に、樹脂層の表裏面に存在する電極パターンを電氣的に接続する導電路を形成する工程と、をさらに有するのがよい。

従来（特許文献1）では、プリプレグにスルーホールを形成し、その中に導電材料を埋め込んだ状態で積層し、その後でプリプレグを加熱硬化させるが、加熱硬化の際、プリプレグの硬化収縮によってスルーホールと接触している電極パターンの位置にずれが発生し、接続信頼性が低下する可能性があった。

これに対し、請求項4ではプリプレグを硬化させた後で孔（スルーホールまたはビアホール）を設け、この孔の内部に導電路を形成するので、樹脂層の表裏面の電極パターンを位置ずれなく、確実に接続することができる。

導電路の形成方法としては、孔の内面にメッキ処理を施してもよいし、孔の内部に導電ペーストを埋め込み、これを硬化させて導電路を形成してもよい。

#### 【0013】

請求項5のように、プリプレグの硬化後に、この樹脂層の表裏いずれかの面に存在する電極パターンと、電子部品の外部電極とを繋ぐ孔を形成する工程と、上記孔の内部に、上記電極パターンと電子部品の外部電極とを電氣的に接続する導電路を形成する工程と、をさらに有してもよい。

請求項4では、樹脂層の表裏の電極パターンを相互に接続するものであるが、請求項5では、一方の電極パターンと電子部品の外部電極とを直接接続するものである。スルーホールやビアホールの配線抵抗は通常の銅配線などに比べて高い。そのため、孔の長さをできるだけ短くすることが望ましいが、この場合には、孔の長さを部品の厚み分だけ短くできるので、導電路の抵抗値を低くできる利点がある。

#### 【0014】

請求項6のように、プリプレグを硬化させる工程は、支持層をプリプレグから剥離する前に仮硬化させる工程と、支持層をプリプレグから剥離した後に本硬化させる工程と、を含むようにしてもよい。

プリプレグを硬化させずに支持層を剥離しようとする、プリプレグと支持層との接着力のために支持層の剥離が困難になったり、プリプレグが破れるという問題が発生することがある。これに対し、支持層をプリプレグから剥離する前に仮硬化させれば、プリプレグの変形を防止しながら支持層をプリプレグから容易に剥離することができる。

なお、仮硬化状態のまま次のプリプレグを積層すると、仮硬化状態のプリプレグが圧縮されて変形する可能性があるので、次のプリプレグの積層前に本硬化させるのがよい。

プリプレグとしてエポキシ系樹脂を使用した場合、仮硬化条件としては、例えば120℃で10～15分程度の加熱処理を行えばよい。本硬化条件としては、例えば170～200℃で1時間程度の加熱処理を行えばよい。

#### 【0015】

請求項7のように、第2プリプレグの硬化後に、第1プリプレグの第2プリプレグとの接着面とは反対側の面に第3プリプレグを間にして第4電極パターンを有する第4支持層を圧着・転写する工程と、第3プリプレグから第4支持層を剥離する工程と、剥離工程の前または後に第3プリプレグを硬化させる工程とを設けてもよい。

3層以上のプリプレグを積層する場合、1層目のプリプレグの上に2層目のプリプレグを積層した後、3層目のプリプレグを2層目のプリプレグの上に積層する方法が考えられる。しかし、2層目のプリプレグの硬化収縮によって1層目の樹脂層（プリプレグ）が2層目のプリプレグ方向に反るので、その上にさらに3層目のプリプレグを積層すると、3層目のプリプレグの硬化収縮によって積層構造体の反りがさらに大きくなる。

そこで、請求項7では、1層目のプリプレグの上に2層目のプリプレグを積層した場合、3層目のプリプレグを2層目のプリプレグの上ではなく、1層目のプリプレグの下に積層することで、2層目のプリプレグの硬化収縮による反りの影響を、3層目のプリプレグの硬化収縮によって相殺し、全体として反りの小さい積層構造体を得るようにしたものである。

【0016】

#### 【発明の実施の形態】

図1は本発明にかかる方法により製造された部品内蔵基板Aの第1実施例を示す。

図において、1、2は基板を構成する樹脂層であり、その表裏面には外層電極3、4がパターン形成され、樹脂層1、2の間には内層電極5がパターン形成されている。下側の外層電極4の内面には電子部品6が導電性接合材7によって接続固定されており、内層電極5の上面には電子部品8が導電性接合材9によって接続固定されている。上記導電性接合材7、9としては、はんだ、導電性接着剤、 bumpsなどが使用される。下側の外層電極4と内層電極5との間は、導電材料を充填したビアホール10によって適直接続され、上側の外層電極3と内層電極5との間も、導電材料を充填したビアホール11によって適直接続されている。

【0017】

ビアホール10, 11は例えば直径100~500 $\mu$ m、長さは100~1000 $\mu$ mの孔であり、レーザやドリルによって加工される。ビアホール10, 11に充填される導電材料としては、例えばガラスや樹脂などのバインダに、導電体としてCu、Ag、Ni、Au、Sn、Zn、Pd、Ptやそれらを組み合わせたものを20~90%含有させたものを使用するのがよい。

上記外層電極3, 4および内層電極5は、例えば厚みが10~40 $\mu$ mの金属薄膜で形成されている。電極3, 4, 5としては、例えばCu箔が使用されるが、その上にAuめっき、Snめっきを形成したり、プリフラックス処理を施してもよい。

#### 【0018】

樹脂層1, 2は例えばエポキシ樹脂中に無機質のフィラーを含有させたものを使用する。無機質フィラーの含有率は例えば60~95%であり、材質としてSiC、Al<sub>2</sub>O<sub>3</sub>、AlNなど絶縁材料が使用され、そのサイズは例えば0.1~10 $\mu$ mがよい。このように無機質フィラーを含有することで、後述するプリブレグの線膨張係数を下げることができ、電極パターンを構成する配線材料の線膨張係数や導電性接合材の線膨張係数に近づけることができ、加熱時に接合部に負荷される応力を小さくすることができる。そのため、接合部の信頼性を向上させることができる。

#### 【0019】

次に、上記構成の部品内蔵基板Aの製造方法を図2に従って説明する。この製造方法は、請求項1に対応するものである。

まず工程(a)として、支持層12上に貼り付けられているCu箔などよりなる電極をエッチングし、回路パターン4を形成する。なお、回路パターン4は、めっき、蒸着等で直接支持層12上に形成してもよい。支持層12は、例えば薄肉な金属板(例えば厚み1.0mmのSUS)で形成されている。

上記電極パターン4の所定の位置に導電性接着剤7を塗布し、導電性接着剤7の上に電子部品6を搭載し、例えば120℃に設定されているオーブンに投入して導電性接着剤7を硬化させる。導電性接着剤7の塗布方法はメッシュスクリーンマスク、メタルマスクなどによる印刷やディスペンスを用いる。ここでは導電性

接合材 7 として用いた導電性接着剤が熱硬化型であるため、オーブンで硬化させているが、UV 硬化の接着剤を使用した場合は UV 照射、シアノアクリレート系の接着剤は被着物表面に微量に存在する水分、嫌気性硬化タイプの接着剤の場合は空気（酸素）の遮断により硬化を行う。

#### 【0020】

次に、工程（b）として、支持層 12 の部品搭載側にプリプレグ 2 を間にして、表面に電極パターン 5 を形成した別の支持層 13 を圧着すると同時に、プリプレグ 2 を仮硬化させる。圧着によって、電子部品 6 がプリプレグ 2 の中に埋設されるとともに、電極パターン 4, 5 がプリプレグ 2 の表裏面に密着する。仮硬化条件としては、例えば 120℃で 10～15 分程度の加熱処理を行えばよい。電極パターン 5 は、上記電極パターン 4 と同様の方法で支持層 13 上に形成されたものであり、支持層 13 は支持層 12 と材質、形状が同様のものを使用する。なお、ここでは電極パターン 5 の表面には電子部品が搭載されていないが、適直接続固定してもよい。

#### 【0021】

工程（c）はプリプレグ 2 の熱圧着硬化後、支持層 12, 13 を仮硬化状態のプリプレグ 2 から剥離した状態を示す。剥離によって、プリプレグ 2 の表裏面に電極パターン 4, 5 が転写される。剥離後、プリプレグ 2 を本硬化させる。本硬化条件としては、例えば 170～200℃で 1 時間程度の加熱処理を行えばよい。

#### 【0022】

工程（d）は硬化後の樹脂層 2 に対してスルーホールまたはビアホール 10 を加工し、その中に導電材料を埋設することで、表裏の電極パターン 4, 5 を導通させた状態を示す。ビアホール 10 の加工方法は、レーザまたはドリルを用いる。このように硬化状態の樹脂層 2 に対してビアホール 10 を加工するので、ビアホール 10 と電極パターン 4, 5 との接続位置に硬化収縮によるずれが発生せず、精度のよい接続構造が得られる。なお、支持層 12, 13 をプリプレグ 2 から剥離した後、プリプレグ 2 を硬化させる場合には、硬化前のプリプレグに対してレーザを照射してビアホール 10 を形成することも可能である。

#### 【0023】

工程 (e) は、表側の電極パターン 5 の上に電子部品 8 を導電性接合材 9 によって接続固定した工程を示す。この場合も、導電性接合材 9 として導電性接着剤を使用し、例えば 120℃ に設定されているオープンに投入して導電性接着剤 9 を硬化させればよい。

#### 【0024】

工程 (f) は、樹脂層 2 の電子部品 8 の固定面上に、プリプレグ 1 を間にして、表面に電極パターン 3 を形成した別の支持層 14 を圧着すると同時に、プリプレグ 1 を仮硬化させる状態を示す。圧着によって、電子部品 8 がプリプレグ 1 の中に埋設されるとともに、電極パターン 5, 3 がプリプレグ 1 の表裏面に密着する。仮硬化条件は上記と同様である。電極パターン 3 も、上記電極パターン 4 と同様の方法で支持層 14 上に形成すればよい。支持層 14 は支持層 12 と材質、形状は同様のものを使用する。なお、ここでは電極パターン 3 の表面には電子部品が搭載されていないが、電子部品を導電性接合材によって適直接続固定してもよい。

#### 【0025】

工程 (g) はプリプレグ 1 の熱圧着硬化後、支持層 14 を仮硬化状態のプリプレグ 1 から剥離した状態を示す。剥離によって、プリプレグ 1 の表面に電極パターン 3 が転写される。剥離後、プリプレグ 1 を本硬化させる。本硬化条件は上記と同様である。

#### 【0026】

工程 (h) は、硬化状態の樹脂層 1 に対してスルーホールまたはビアホール 11 を加工し、その中に導電材料を埋設することで、電極パターン 3, 5 を導通させた状態を示す。

以上の工程 (a) ~ (h) は、2 層の樹脂層 1, 2 を持つ部品内蔵基板 A の製造工程であるが、さらに樹脂層 1 または 2 の外側に別の樹脂層を順次積層することにより、多層構造の部品内蔵基板 A を構成することも可能である。

#### 【0027】

図 2 に示すように、電極パターン 4 および 5 に電子部品 6, 8 を導電性接合材 7, 9 によって接続した後、プリプレグ 2, 1 を圧着しているので、プリプレグ 2

、1の圧着時に電子部品6、8が電極パターン4、5から剥離することがなく、かつ接続抵抗を低くできる。樹脂層1、2の間に介在する電極パターン5は1層のみであるから、2つの樹脂層1、2が電極パターン5を介して強く接合され、電極パターン5を界面とする樹脂層1、2の剥離現象を解消できる。

#### 【0028】

図3は本発明にかかる部品内蔵基板Bの製造方法を示す。この製造方法は、請求項2に対応するものである。

まず工程(a)では、支持層20上に電極パターン21を形成し、電極パターン21の表面に電子部品22を導電性接合材23によって接続固定する。支持層20、電極パターン21、導電性接合材23は図1、図2に示す第1実施例と同様であるから説明を省略する。

次に、工程(b)では、支持層20の部品搭載面側にプリプレグ24を間にして別の支持層25を圧着すると同時に、プリプレグ24を仮硬化させる。圧着によって、電子部品22がプリプレグ24の中に埋設されるとともに、電極パターン21がプリプレグ24の下面に密着する。仮硬化条件は、第1実施例と同様である。

工程(c)はプリプレグ24の熱圧着硬化後、支持層20、25を仮硬化状態のプリプレグ24から剥離した状態を示し、プリプレグ24の下面に電極パターン21が転写される。その後、プリプレグ24を本硬化させる。本硬化条件は、第1実施例と同様である。

工程(d)は硬化状態の樹脂層24を反転させ、電極パターン21の裏面に電子部品26を導電性接合材27によって接続固定した状態を示す。

工程(e)では、電子部品26の固定面上にプリプレグ28を間にして別の支持層29を圧着すると同時に、プリプレグ28を仮硬化させる。圧着によって、電子部品26がプリプレグ28の中に埋設されるとともに、プリプレグ28と電極パターン21とが密着する。仮硬化条件は、上記と同様である。

工程(f)はプリプレグ28の熱圧着硬化後、支持層29を仮硬化状態のプリプレグ28から剥離した状態を示す。剥離後、プリプレグ28を本硬化させる。本硬化条件は、第1実施例と同様である。

上記のようにして2層構造の部品内蔵基板Bが得られるが、その後、樹脂層24、28の表裏面に電極パターンを形成し、スルーホールまたはビアホールを設けて内層電極21を外部に引き出してもよい。

以上のように、1つの内層電極21の表裏面に電子部品22、26を接続する場合に、それぞれの電子部品22、26を導電性接合材23、27によって内層電極21に接続固定しているので、内層電極21と電子部品22、26との導通信頼性が高く、その接続抵抗を低くできる。

#### 【0029】

図4は本発明にかかる部品内蔵基板Cの製造方法を示す。この製造方法は、請求項3に対応するものである。

まず工程(a)では、支持層30上に電極パターン31を形成し、電極パターン31の表面に電子部品32を導電性接合材33によって接続固定した状態を示す。支持層30、電極パターン31、導電性接合材33は図1、図2に示す第1実施例と同様であるから説明を省略する。

次に、工程(b)では、支持層30の部品搭載面側にプリプレグ34を間にして、表面に電極パターン36を形成した別の支持層35を圧着すると同時に、プリプレグ34を仮硬化させる。仮硬化条件は、第1実施例と同様である。

工程(c)はプリプレグ34の熱圧着硬化後、支持層30、35を仮硬化状態のプリプレグ34から剥離した状態を示す。剥離後、プリプレグ34を本硬化させる。本硬化条件は、第1実施例と同様である。

工程(d)は硬化状態の樹脂層34に対してスルーホールまたはビアホール37、38を加工し、その中に導電材料を埋設することで、表裏の電極パターン31、36を導通させると同時に、電極パターン36と電子部品32の外部電極とを導通させた状態を示す。ビアホール37、38の加工方法は、第1実施例と同様である。このようにビアホール38が電極パターン36と電子部品32の外部電極とを導通させるので、電子部品32の厚み分だけビアホール38を短くでき、導電路の抵抗値を低くできる。

工程(e)は硬化状態の樹脂層34を反転させ、電極パターン31の裏面に電子部品39を導電性接合材40によって接続固定した状態を示す。



工程 (f) では、電子部品 39 の固定面上にプリプレグ 41 を間にして、表面に電極パターン 43 を形成した別の支持層 42 を圧着すると同時に、プリプレグ 41 を仮硬化させる。仮硬化条件は、第 1 実施例と同様である。

工程 (g) はプリプレグ 41 の熱圧着硬化後、支持層 42 を仮硬化状態のプリプレグ 41 から剥離した状態を示す。剥離後、プリプレグ 41 を本硬化させる。本硬化条件は、第 1 実施例と同様である。

工程 (h) は、硬化済みの樹脂層 41 に対してスルーホールまたはビアホール 44, 45 を加工し、その中に導電材料を埋設することで、表裏の電極パターン 43, 31 を導通させると同時に、電極パターン 43 と電子部品 39 の外部電極とを導通させた状態を示す。

この部品内蔵基板 C では、上述の部品内蔵基板 B と同様に、1 つの内層電極 31 の表裏面に電子部品 32, 39 が導電性接合材 33, 40 によって接続固定されているので、内層電極 31 と電子部品 32, 39 との導通信頼性が高く、その接続抵抗を低くできる。また、プリプレグ 34, 41 の圧着と同時に、外層電極 36, 43 が転写によって同時に形成されるので、外層電極 36, 43 を形成する工程を省略できる。

#### 【0030】

図 5 は本発明にかかる部品内蔵基板 D の製造方法を示す。この製造方法は、内部にシールド電極を設けた部品内蔵基板の例である。

工程 (a) では、樹脂層 51 の表裏面に、表面に電子部品 53 を導電性接合材 54 によって接続固定した電極パターン 52 と、シールド電極 55 とを転写したシート 50 を準備する。このシート 50 の製造方法は、例えば図 2 の (a) ~ (d) と同様であり、表面側の電極をほぼ全面電極よりなるシールド電極 55 としたものである。なお、電極パターン 52 とシールド電極 55 との間はビアホール 56 によって接続されている。

上記シート 50 のシールド電極 55 上に、プリプレグ 57 を間にして、表面に電極パターン 59 を形成した別の支持層 58 を圧着する。電極パターン 59 上には、電子部品 60 が導電性接合材 61 によって接続固定されている。上記圧着と同時に、プリプレグ 57 を仮硬化させる。

工程 (b) は支持層 58 を剥離した状態を示す。この状態において、プリプレグ 57 はシールド電極 55 の裏面に強固に接着固定され、プリプレグ 57 の中に電子部品 60 が埋設されると同時に、電極パターン 59 がプリプレグ 57 上に転写される。その後、プリプレグ 57 を本硬化させる。

工程 (c) では、硬化後の樹脂層 57 にビアホール 62 を形成し、その内部に導電材料を埋設することにより、シールド電極 55 と電極パターン 59 とが接続される。

上記のように、内層電極としてシールド電極 55 を有するので、部品内蔵基板 D の異なる層に実装されている電子部品からの発生ノイズや、外部からの電磁波ノイズを遮断でき、良好な電気特性が得られる。シールド電極 55 の電極面積は、良好なシールド効果を得るためには単層面積 (電極面積と非電極面積との合計面積) の 60% 以上必要であり、90% 以上が望ましい。

#### 【0031】

図 6 は本発明にかかる部品内蔵基板 E の構造を示す。

この実施例は、上記部品内蔵基板 D と同様にシールド電極を有する例であるが、シールド電極 70 を外層電極として設けたものである。

この部品内蔵基板 E では、内層電極 71 を間にして 2 層の樹脂層 72, 73 が設けられ、内層電極 71 の表裏面に電子部品 74, 75 が導電性接合材 76, 77 によって接続固定されている。このうち、電子部品 74 ははんだや導電性接着剤 76 によって内層電極 71 に実装されたチップ部品であるが、電子部品 75 はパンプ 77 によって内層電極 71 に実装されたベアチップである。なお、電極パターン 71, 78 はビアホール 79a によって接続され、シールド電極 70 と内層電極 71 はビアホール 79b によって接続されている。

この部品内蔵基板 E は、図 4 に示す製造方法において、電極パターン 43 に代えてシールド電極 70 を用いるだけで、同様に製造できる。

#### 【0032】

図 7 は本発明にかかる部品内蔵基板 F の製造方法を示す。この製造方法は、請求項 7 に対応するものであり、3 層構造の例である。

工程 (a) ~ (f) は、第 3 実施例 (図 4 参照) における工程 (b) ~ (h) と

ほぼ同様であるから、同一符号を付して説明を省略する。

工程 (g) では、2層構造の部品内蔵基板を上下反転させ、工程 (h) で上側の電極パターン 36 の裏面に電子部品 80 を導電性接合材 81 によって接続固定する。

工程 (i) では、電子部品 80 の固定面上にプリプレグ 82 を間にして、表面に電極パターン 84 を形成した別の支持層 83 を圧着すると同時に、プリプレグ 82 を仮硬化させる。つまり、プリプレグ 82 を、1層目のプリプレグ 34 に対して2層目のプリプレグ 41 とは反対側の面に圧着させる。

工程 (j) はプリプレグ 82 の熱圧着硬化後、支持層 83 を仮硬化状態のプリプレグ 82 から剥離した状態を示す。

工程 (k) は仮硬化状態のプリプレグ 82 を本硬化させた後、この樹脂層 82 に対してスルーホールまたはビアホール 85 を加工し、その中に導電材料を埋設することで、表裏の電極パターン 36, 84 を導通させた状態を示す。なお、ビアホール 85 を、電極パターン 84 と電子部品 80 の外部電極とを直接導通させてもよい。

この実施例では、3層目のプリプレグ 82 を、1層目のプリプレグ 34 に対して2層目のプリプレグ 41 とは反対側の面に積層している。その理由は、1層目のプリプレグ 34 の硬化後、2層目のプリプレグ 41 を積層し、硬化させた時、その硬化収縮によって2層構造の基板は2層目のプリプレグ 41 方向に反ることになる。そこで、3層目のプリプレグ 82 を1層目のプリプレグ 34 に対して2層目のプリプレグ 41 とは反対側の面に積層することで、3層目のプリプレグ 82 の硬化収縮によって、2層目のプリプレグ 41 方向に反った2層構造の基板を逆方向に反らせることができ、全体として反りの少ない3層構造の基板を実現することができる。

### 【0033】

上記実施例では、電子部品を電極パターンに接続固定するために導電性接着剤を使用した。が、はんだを使用してもよい。はんだの中でも、地球環境の面から鉛フリーはんだを使用するのがよい。例えば、Sn に Ag、Bi、Cu、Zn、In を1～4種類含有させたものを用いる。

また、導電性接着剤の場合、エポキシまたはウレタンをバインダとし、その中に導電材料として Ag、Cu、Ni、Au、Sn、Zn、Bi やそれらを組合わせたものを含有させたものを用いることができる。

上記実施例では、支持層の剥離前にプリプレグを仮硬化させ、支持層の剥離後にプリプレグを本硬化させる例について説明したが、支持層の剥離前にプリプレグを本硬化させてもよい。

#### 【0034】

##### 【発明の効果】

以上の説明で明らかなように、請求項 1 に係る発明によれば、複数の層を一括積層せずに、プリプレグと電極パターンとを順次積層することにより、多層構造の部品内蔵基板を得ているので、電極パターンと電子部品とを導電性接合材を用いて接合することができ、電極パターンと電子部品との接続抵抗を低くでき、接続信頼性を高くすることができる。

また、プリプレグ（樹脂層）の間の内層電極は 1 層のみであり、内層電極が 2 層で構成される場合のように、内層電極同士を接触導通させる必要がなく、かつ内層電極間で剥離現象が発生するのを防止できる。

プリプレグに電極パターンを転写し、このプリプレグを硬化させた後で次のプリプレグを積層してゆくので、最初のプリプレグが積層の度に圧縮されることがなく、最初のプリプレグに内蔵された電子部品の電氣的接続が不良になったり、電極パターンの形状が崩れるといった不具合がない。

#### 【0035】

請求項 2 に係る発明によれば、内層電極の表裏面に電子部品を接続する場合に、表面に第 1 電子部品が導電性接合材によって接続固定された第 1 電極パターンをプリプレグに転写した後、第 1 電極パターンの裏面に第 2 電子部品を導電性接合材によって接続固定し、第 1 電極パターンの裏面上に別のプリプレグを圧着するので、内層電極である第 1 電極パターンと電子部品との導通信頼性が高く、その接続抵抗を低くすることができる。そのため、電気特性が安定した部品内蔵基板を得ることができる。

#### 【0036】

請求項 3 に係る発明によれば、内層電極の表裏面に電子部品を接続する場合に、プリプレグの圧着面と反対側の面に電極パターンを有する支持層を配置し、圧着と同時に電極パターンをプリプレグに転写するので、請求項 2 の作用効果に加え、プリプレグの圧着積層後に新たに電極パターンを形成する必要がなく、工程数を削減できる。

【図面の簡単な説明】

【図 1】

本発明方法により製造された部品内蔵基板の第 1 実施例の断面図である。

【図 2】

図 1 に示す部品内蔵基板の製造工程図である。

【図 3】

本発明にかかる部品内蔵基板の製造方法の第 2 実施例の工程図である。

【図 4】

本発明にかかる部品内蔵基板の製造方法の第 3 実施例の工程図である。

【図 5】

本発明にかかる部品内蔵基板の製造方法の第 4 実施例の工程図である。

【図 6】

本発明にかかる部品内蔵基板の第 5 実施例の斜視図である。

【図 7】

本発明にかかる部品内蔵基板の製造方法の第 6 実施例の工程図である。

【図 8】

従来の部品内蔵基板の製造工程図である。

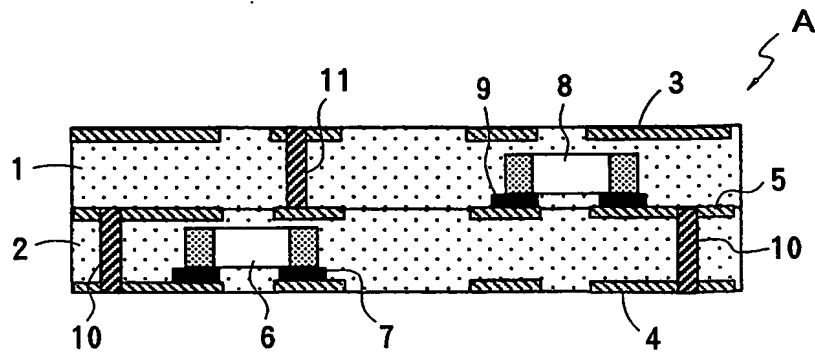
【符号の説明】

A	部品内蔵基板
1, 2	樹脂層（プリプレグ）
3, 4, 5	電極パターン
6, 8	電子部品
7, 9	導電性接合材
10, 11	ビアホール

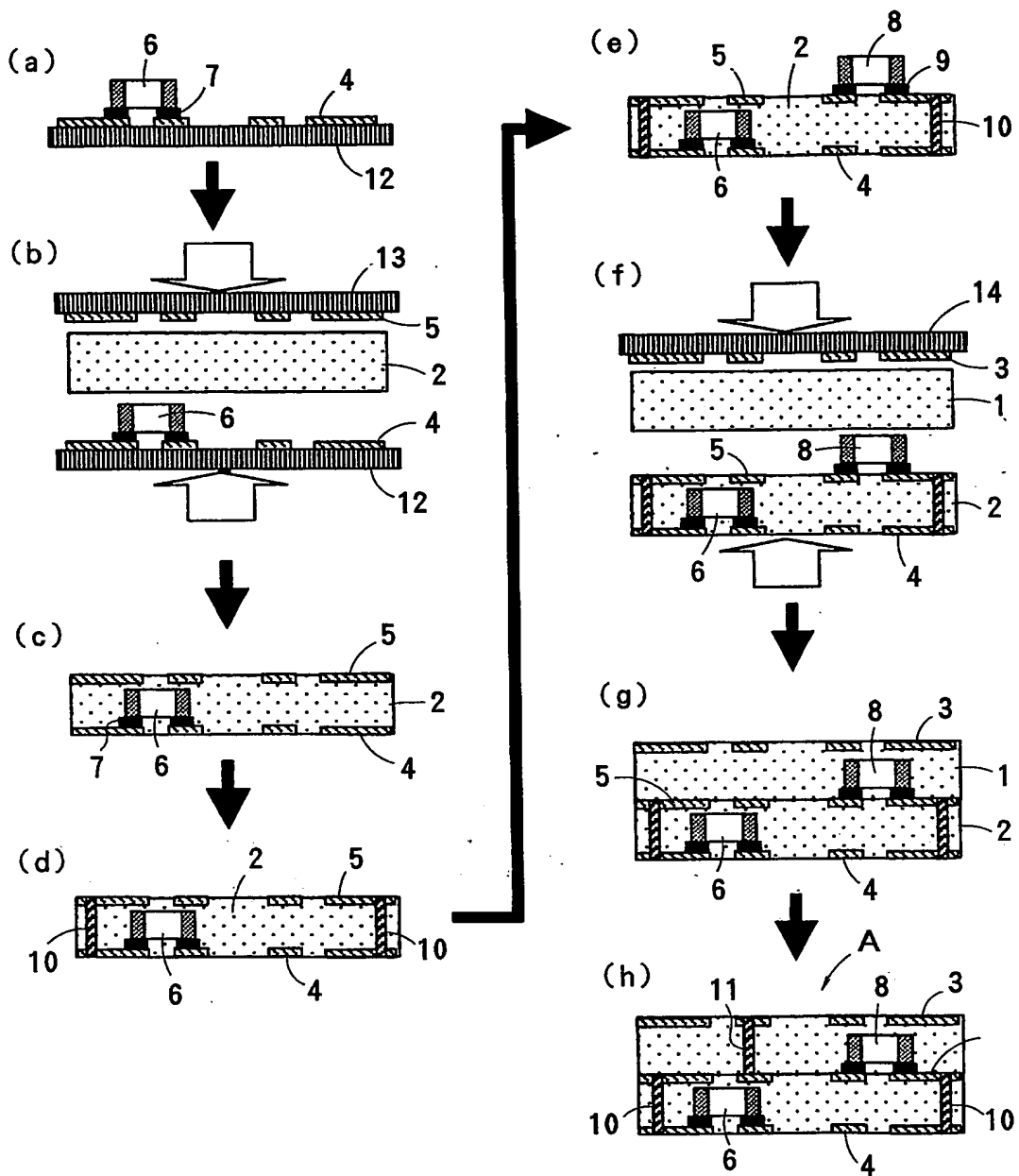
12, 13, 14 支持層

【書類名】 図面

【図 1】

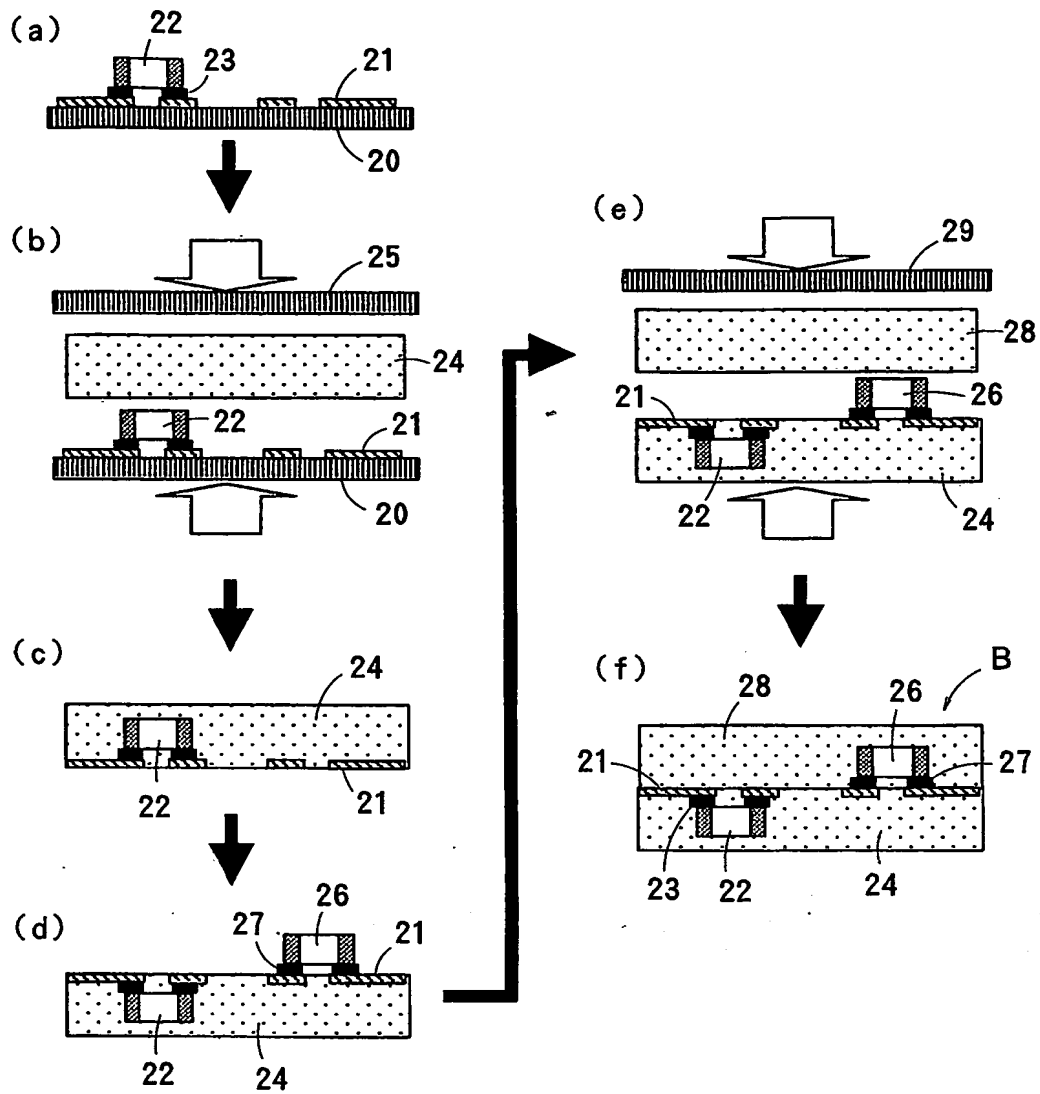


【図 2】

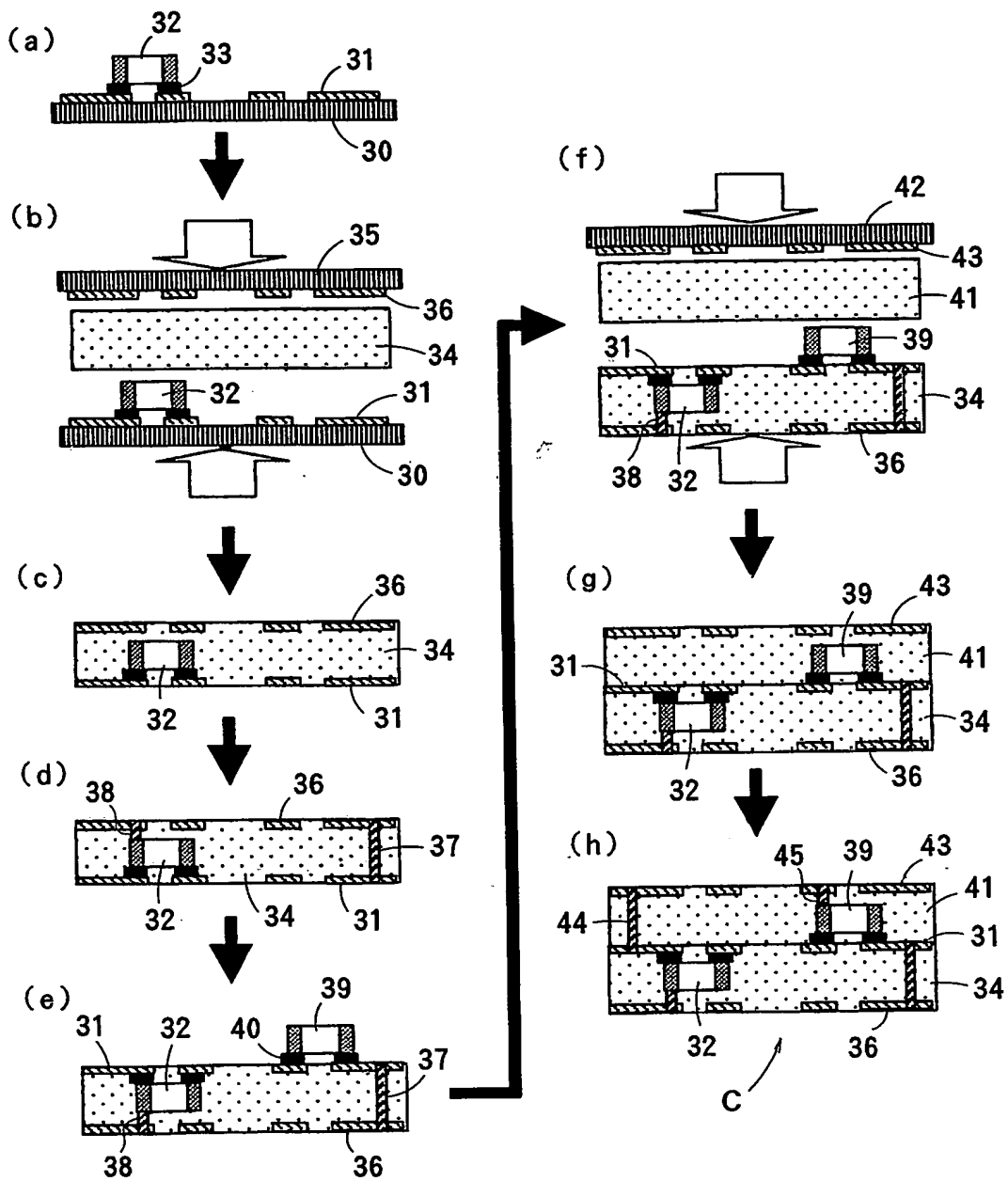




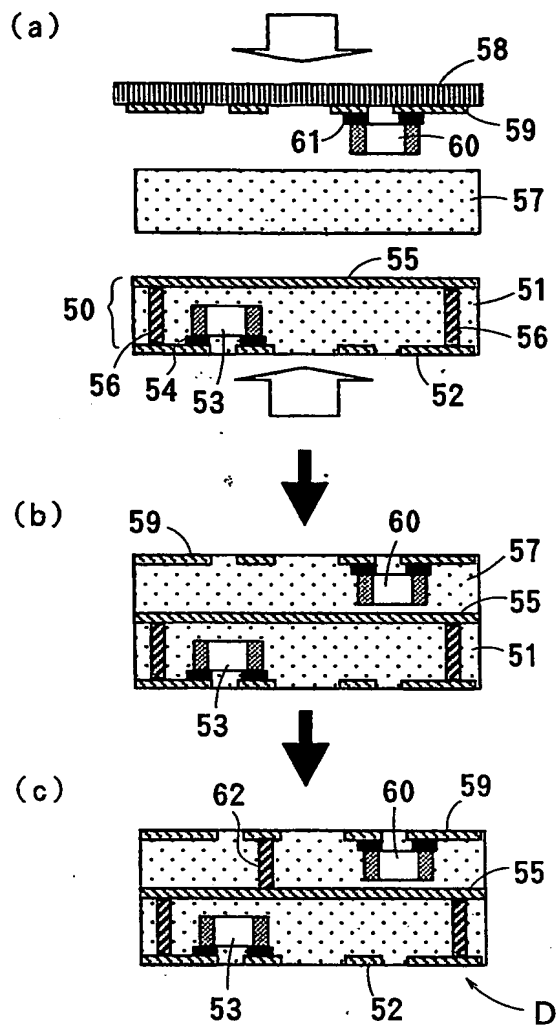
【図 3】



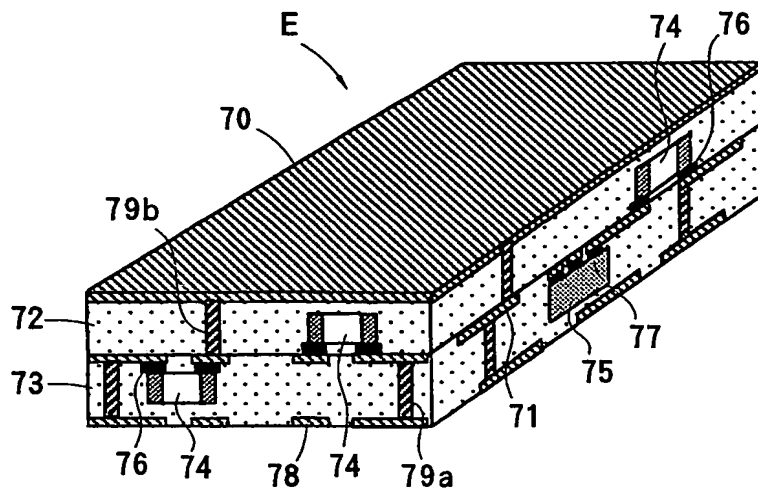
【図 4】



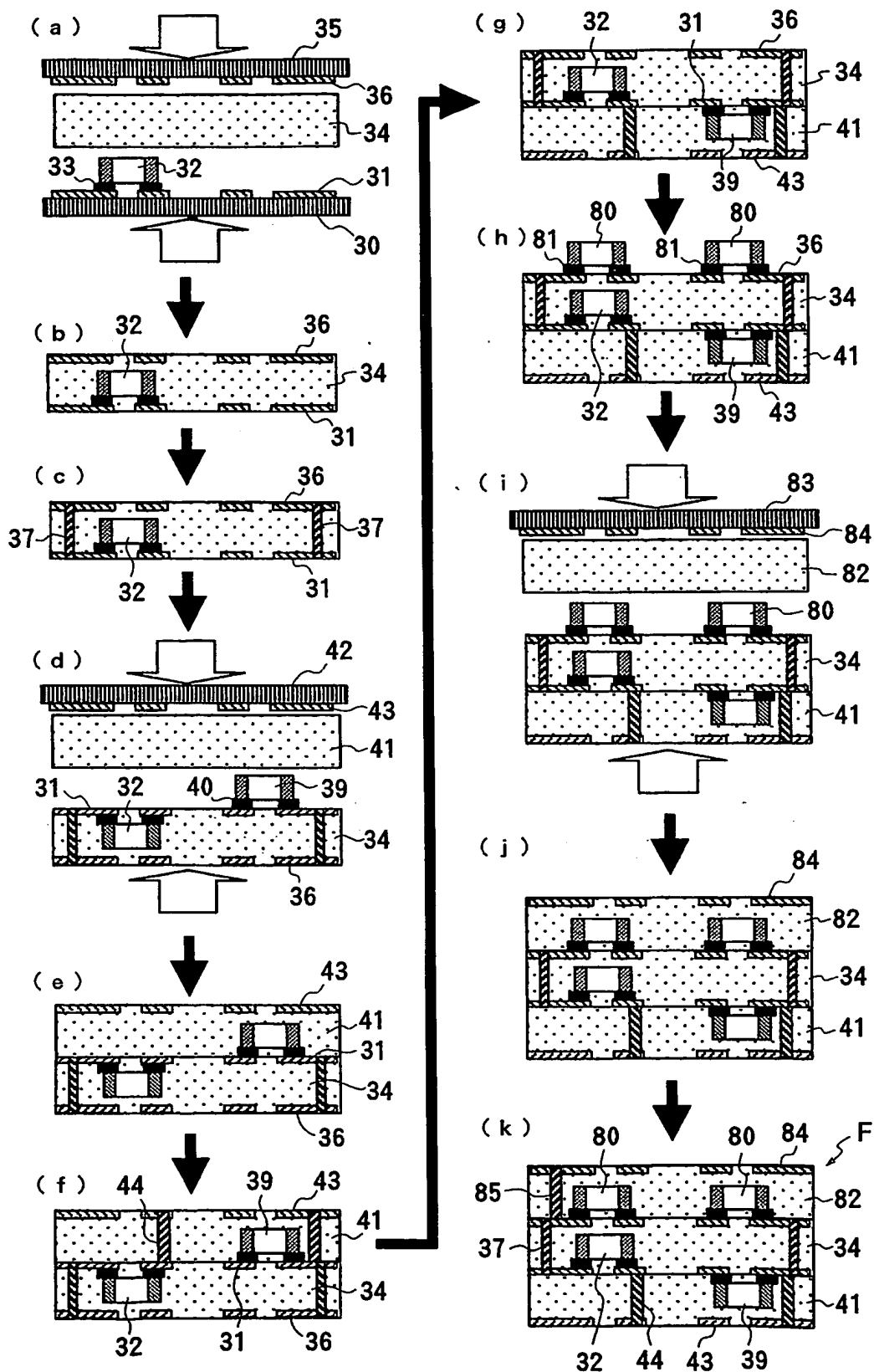
【図5】



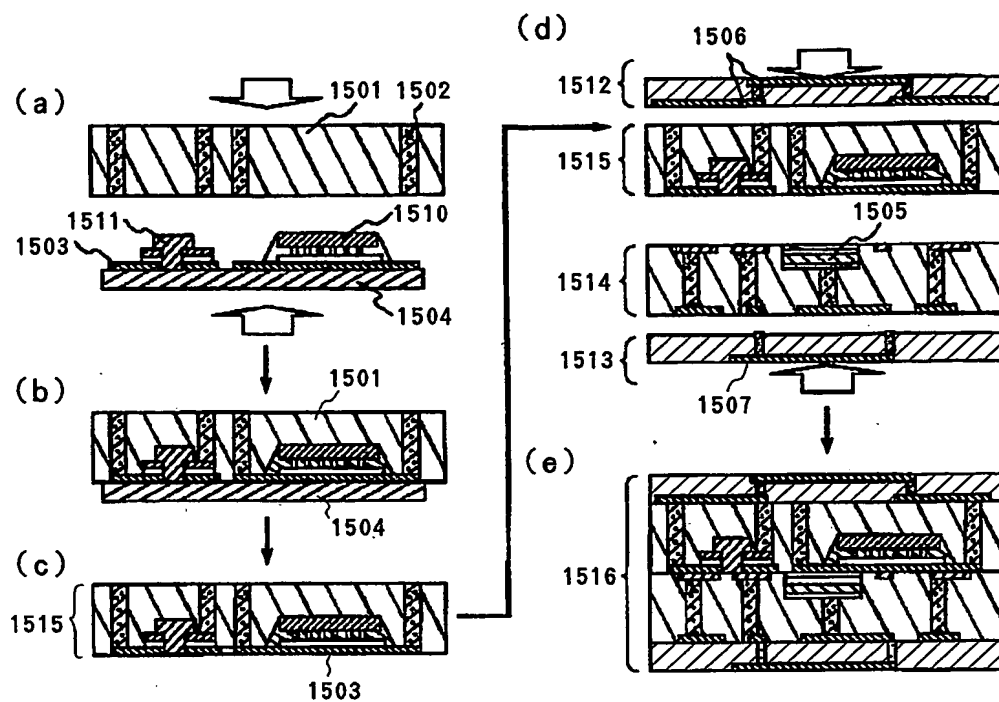
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 積層される電極パターン間あるいは電極パターンと電子部品との接続抵抗を低くし、接続信頼性が高い部品内蔵基板を製造する。

【解決手段】 第1支持層12上に形成された第1電極パターン4に第1電子部品6を導電性接合材7により接続固定し、第1支持層12の電子部品固定面側に第1プリプレグ2を間にして第2電極パターン5を有する第2支持層13を圧着・転写し、第1プリプレグ2から第1支持層12と第2支持層13とを剥離する。剥離後、第1プリプレグ2を硬化させる。第2電極パターン5の裏面に第2電子部品8を導電性接合材9により接続固定し、第2電子部品固定面側に第2プリプレグ1を間にして第3電極パターン3を有する第3支持層14を圧着・転写し、第2プリプレグ1から第3支持層14を剥離し、第2プリプレグ1を硬化させる。このようにプリプレグ1, 2と電極パターン3, 4, 5とを順次積層していくことで部品内蔵基板Aを得る。

【選択図】 図2

特願 2003-191571

出 願 人 履 歴 情 報

識別番号

[000006231]

1. 変更年月日

1990年 8月28日

[変更理由]

新規登録

住 所

京都府長岡京市天神二丁目26番10号

氏 名

株式会社村田製作所